

2/5/1 (Item 1 from file: 351)  
DIALOG(R)File 351:Derwent WPI  
(c) 2002 Derwent Info Ltd. All rts. reserv.

011933398 \*\*Image available\*\*  
WPI Acc No: 1998-350308/199831  
XRPX Acc No: N98-273488

**Electrostatic discharge protection device e.g. for bistable silicon controlled rectifier like switch - has two transistors which are formed upon insulator layer of silicon on insulator circuit and are separated from one another by insulating regions**

Patent Assignee: TEXAS INSTR INC (TEXI )  
Inventor: AMERASEKERA E; CHATTERJEE A  
Number of Countries: 026 Number of Patents: 003  
Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
EP 852400	A2	19980708	EP 98300009	A	19980102	199831 B
JP 10294430	A	19981104	JP 9831918	A	19980105	199903
US 6015992	A	20000118	US 9734680	A	19970103	200011
			US 971058	A	19971230	

Priority Applications (No Type Date): US 9734680 P 19970103; US 971058 A 19971230

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
EP 852400	A2	E	12	H01L-027/02	
Designated States (Regional): AL AT BE CH DE DK ES FI FR GB GR IE IT LI					
LT LU LV MC MK NL PT RO SE SI					
JP 10294430	A		43	H01L-027/06	
US 6015992	A			H01L-029/74	Provisional application US 9734680

Abstract (Basic): EP 852400 A

The device comprises two regions of a conductivity type, the second conductivity type being opposite to the first conductivity type. An isolation structure electrically isolates the two regions. A bipolar transistor is formed in the first region with a base of the first conductivity type. A second bipolar transistor is formed in the second region with a base of the second conductivity type. A first contact of the first conductivity type material is formed in the first region to allow the base of the bipolar transistor to be connected external to the first region.

A second contact region of the second conductivity type is formed in the second region to allow the base of the second bipolar transistor to be connected external to the second region. An interconnect structure is external to the two regions which interconnects the two bipolar transistors to external resistors in an SCR-like configuration.

USE - For integrated circuits fabricated with silicon-on-insulator technology.

ADVANTAGE - Protects signal line of silicon on insulator integrated circuit against damage from electrostatic discharge events.

Dwg.4/9

Title Terms: ELECTROSTATIC; DISCHARGE; PROTECT; DEVICE; BISTABLE; SILICON; CONTROL; RECTIFY; SWITCH; TWO; TRANSISTOR; FORMING; INSULATE; LAYER; SILICON; INSULATE; CIRCUIT; SEPARATE; ONE; INSULATE; REGION

Derwent Class: U12; U13

International Patent Class (Main): H01L-027/02; H01L-027/06; H01L-029/74

International Patent Class (Additional): H01L-021/822; H01L-021/8228;

H01L-021/84; H01L-027/04; H01L-027/082; H01L-027/12; H01L-029/786

File Segment: EPI

2/5/2 (Item 1 from file: 347)  
DIALOG(R)File 347:JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.

06011330      \*\*Image available\*\*  
BISTABLE PSEUDO SCR SWITCH FOR PROTECTING ESD OF SOI INTEGRATED CIRCUIT

PUB. NO.:        10-294430 A]  
PUBLISHED:      November 04, 1998 (19981104)  
INVENTOR(s):    CHATTERJEE AMITAVA  
                 AMERASEKERA E  
APPLICANT(s):   TEXAS INSTR INC <TI> [000741] (A Non-Japanese Company or  
                 Corporation), US (United States of America)  
APPL. NO.:      10-031918 [JP 9831918]  
FILED:          January 05, 1998 (19980105)  
PRIORITY:       7-34,680 [US 34680-1997], US (United States of America),  
                 January 03, 1997 (19970103)  
INTL CLASS:     [6] H01L-027/06; H01L-027/04; H01L-021/822; H01L-021/8228;  
                 H01L-027/082; H01L-027/12; H01L-029/786  
JAPIO CLASS:    42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,  
                 MOS)

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-294430

(43)Date of publication of application : 04.11.1998

(51)Int.Cl.

H01L 27/06  
H01L 27/04  
H01L 21/822  
H01L 21/8228  
H01L 27/082  
H01L 27/12  
H01L 29/786

(21)Application number : 10-031918

(71)Applicant : TEXAS INSTR INC &lt;TI&gt;

(22)Date of filing : 05.01.1998

(72)Inventor : CHATTERJEE AMITAVA  
AMERASEKERA E

(30)Priority

Priority number : 97 34680

Priority date : 03.01.1997

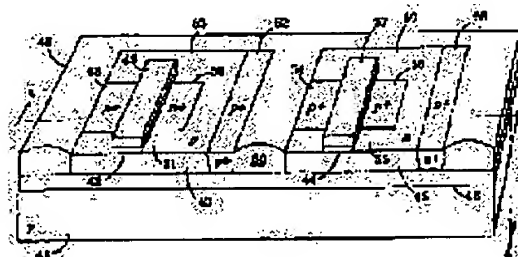
Priority country : US

**(54) BISTABLE PSEUDO SCR SWITCH FOR PROTECTING ESD OF SOI INTEGRATED CIRCUIT**

(57)Abstract:

PROBLEM TO BE SOLVED: To protect the signal line of an SOI integrated circuit against damage from an ESD (electrostatic discharge) by forming two transistors, a PNP transistor and an NPN transistor in active regions isolated from each other by an insulating field.

SOLUTION: An oxide 46 is deposited as an insulation layer on a P substrate 41 and active regions 43, 45 are defined thereon while being isolated by a field oxide region 60. A P-channel transistor 44 is then formed in the N-type active region 45 while an N-channel transistor 42 is formed in the P-type active region. Consequently, a pseudo-SCR bistable switch is constituted and an integrated circuit fabricated by SOI technology is protected against electrostatic discharge.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or

application converted registration]  
[Date of final disposal for application]  
[Patent number]  
[Date of registration]  
[Number of appeal against examiner's decision  
of rejection]  
[Date of requesting appeal against examiner's  
decision of rejection]  
[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-294430✓

(43) 公開日 平成10年(1998)11月4日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

H 0 1 L 27/06  
27/04  
21/822  
21/8228  
27/082

H 0 1 L 27/06 3 1 1 A  
27/12 K  
27/04 H  
27/08 1 0 1 C  
29/78 6 2 3 A

審査請求 未請求 請求項の数17 O L 外国語出願 (全 43 頁) 最終頁に続く

(21) 出願番号 特願平10-31918

(22) 出願日 平成10年(1998)1月5日

(31) 優先権主張番号 0 3 4 6 8 0

(32) 優先日 1997年1月3日

(33) 優先権主張国 米国 (U S)

(71) 出願人 590000879

テキサス インスツルメンツ インコーポ  
レイテッド

アメリカ合衆国テキサス州ダラス, ノース  
セントラルエクスプレスウェイ 13500

(72) 発明者 アミタバ チャッタージー

アメリカ合衆国テキサス州プラノ, サンタ  
ナ 3545

(72) 発明者 イー. アメラセケラ

アメリカ合衆国テキサス州プラノ, レイク  
クレスト1800

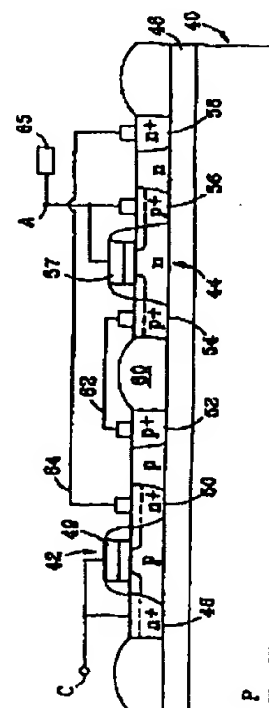
(74) 代理人 弁理士 浅村 皓 (外3名)

(54) 【発明の名称】 SOI集積回路のESD保護用の双安定擬似SCRスイッチ

(57) 【要約】

【課題】 SOI集積回路の信号線をESDイベントによるダメージに対して保護する双安定擬似SCRスイッチを得る。

【解決手段】 第1および第2のトランジスタ42, 44がSOI回路40の絶縁体層46上に形成される。配線62, 64が2個のトランジスタ42, 44間を延在してP領域52, 54およびN領域50, 58を互いに接続する。トランジスタ42, 44はバイポーラもしくはエンハンスメント型MOSFETトランジスタとすることができる。バイポーラトランジスタの場合、NPNトランジスタ42のベースおよびコレクタはPNPトランジスタ44のコレクタおよびベースにそれぞれ接続される。MOSFETも同様に接続され、PおよびNウェルは、PおよびNチャネルトランジスタ44, 42のドレインに接続されるNおよびPチャネルトランジスタ42, 44のチャネル領域を形成する。



## 【特許請求の範囲】

【請求項1】 SOI集積回路内に作られかつESDの影響を受け易い端子に接続された活性回路を保護するESD保護装置であって、

第1の導電型の第1の領域と、

前記第1の導電型とは反対の第2の導電型の第2の領域と、

前記第1および第2の領域を電氣的に分離する分離構造と、

前記第1の導電型のベースを有する、前記第1の領域内に形成された第1のバイポーラトランジスタと、

前記第2の導電型のベースを有する、前記第2の領域内に形成された第2のバイポーラトランジスタと、

前記第1の領域内に形成された、前記第1のバイポーラトランジスタのベースを前記第1の領域の外部に接続することができる第1の導電型の第1のコンタクト領域と、

前記第2の領域内に形成された、前記第2のバイポーラトランジスタのベースを前記第2の領域の外部に接続することができる第2の導電型の第2のコンタクト領域と、

前記第1および第2のバイポーラトランジスタを擬似SCR構造内の外部抵抗体と相互接続する前記第1および第2の領域の外部の配線構造と、  
を含む、ESD保護装置。

【請求項2】 前記第1のバイポーラトランジスタは、第2の導電型の材料で形成された第1のソース/ドレイン領域および第1の導電型の材料からなるチャネル領域を有するMOSトランジスタを前記第1の領域内に形成することにより形成され、前記第1のソース/ドレイン領域は前記第1のバイポーラトランジスタのコレクタおよびエミッタを形成しそのチャネル領域はそのベースを形成し、

前記第2のバイポーラトランジスタは、第1の導電型の材料で形成された第2のソース/ドレイン領域および第2の導電型の材料からなるチャネル領域を有するMOSトランジスタを前記第2の領域内に形成することにより形成され、前記第2のソース/ドレイン領域は前記バイポーラトランジスタのコレクタおよびエミッタを含む、請求項1記載のESD保護装置。

【請求項3】 前記分離構造は前記第1および第2の領域を完全に分離する、請求項2記載のESD保護装置。

【請求項4】 前記第1および第2のソース/ドレイン領域は前記第1および第2の領域の表面から垂直下方へ前記分離構造まで延在する、請求項3記載のESD保護装置。

【請求項5】 前記各第1および第2のソース/ドレイン領域の少なくとも一方は前記第1および第2の領域の各一方の全長を延在はせずに、前記各第1および第2のコンタクト間を導通させ、前記第1および第2の領域の

各部分が前記各第1および第2のソース/ドレイン領域間に配置される前記各第1および第2のバイポーラトランジスタの前記ベースを画定する、請求項4記載のESD保護装置。

【請求項6】 絶縁体層を有するSOI集積回路のESD保護用双安定スイッチであって、

アノードに接続された第1のP型領域、第2のP型領域、および前記第1および第2のP型領域間に隣接配置された中間N型領域を有する第1のトランジスタと、

中間に電気分離領域を有して前記第1のトランジスタから独立して配置され、かつ、カソードに接続された第1のN型領域、第2のN型領域、および前記第1および第2のN型領域間に隣接配置された中間P型領域を有する第2のトランジスタと、を含み、

前記中間P型領域は、前記分離領域および前記SOI集積回路の前記絶縁体層により前記第1および第2のP型領域から分離して配置されかつ電氣的に分離され、また、前記中間N型領域は、前記分離領域および前記SOI集積回路の前記絶縁体層により前記第1および第2のN型領域から分離して配置されかつ電氣的に分離されており、

前記アノードを前記SOI集積回路の被保護回路に電氣的に接続する第1の配線と、

前記中間N型領域を前記第2のN型領域に電氣的に接続する第2の配線と、

前記中間P型領域を前記第2のP型領域に電氣的に接続する第3の配線と、

前記カソードを前記SOI集積回路の領域に電氣的に接続して前記双安定スイッチを通るESD電流を分路する第4の配線と、

前記第1および第2のトランジスタを擬似SCR構造内の外部抵抗体と相互接続する外部配線構造と、  
を含む、ESD保護用双安定スイッチ。

【請求項7】 前記第1のトランジスタは、前記SOI集積回路の絶縁体上に配置されるPウエル内に配置され、前記第2のトランジスタは、前記SOI集積回路の前記絶縁体上に配置されるNウエル内に配置される、請求項6記載の双安定スイッチ。

【請求項8】 前記第1のトランジスタは、前記SOI集積回路の前記絶縁体層上に配置されるNウエル内に配置され、前記第2のトランジスタは、前記SOI集積回路の前記絶縁体層上に配置されるPウエル内に配置され、

前記Nウエルは前記中間N型領域を形成し、前記Pウエルは前記中間P型領域を形成し、前記Nウエルおよび前記Pウエルは前記分離領域および前記絶縁体層により完全に分離される、

請求項6記載の双安定スイッチ。

【請求項9】 SOI回路であって、

SOI回路内を延在する、絶縁体表面を有する絶縁体層

と、  
 前記絶縁体表面上に配置された P ウェルと、  
 該 P ウェルから間隔をとって前記絶縁体表面上に配置された N ウェルと、  
 前記 P ウェルと前記 N ウェルとの間を延在する、前記絶縁体表面まで下方へ延在する電気絶縁領域と、  
 前記 P ウェル内に配置された第 1 および第 2 の N 型領域であって、該第 1 の N 型領域が前記 P ウェルの中間領域によって前記第 2 の N 型領域から間隔をとられている、第 1 および第 2 の N 型領域と、  
 前記 N ウェル内に配置された第 1 および第 2 の P 型領域であって、該第 1 の P 型領域が前記 P ウェルの中間領域によって前記第 2 の P 型領域から間隔をとられている、第 1 および第 2 の P 型領域と、  
 該第 1 の P 型領域を SOI 集積回路の保護回路に電氣的に接続する第 1 の配線と、  
 前記第 2 の P 型領域を前記 P ウェルに電氣的に接続する第 2 の配線と、  
 前記第 2 の N 型領域を前記 N ウェルに電氣的に接続する第 3 の配線と、  
 前記第 1 の N 型領域を前記 SOI 集積回路の放電領域に電氣的に接続して、前記被保護回路に加えられる ESD イベントに関連する電流を前記第 1 および第 2 の P 型領域と前記 N ウェルの前記中間領域とを介してかつ前記第 1 および第 2 の N 型領域と前記 P ウェルの前記中間領域とを介して前記 SOI 集積回路の前記放電領域へ分路する第 4 の配線と、  
 前記第 1 の P 型領域を第 1 の外部抵抗装置の一方側に接続し、前記 N ウェルを前記第 1 の外部抵抗装置の他方側に接続する第 5 および第 6 の配線と、  
 前記第 1 の N 型領域を第 2 の外部抵抗装置の一方側に接続し、該第 2 の外部抵抗装置の他方側を前記 P ウェルに接続する第 6 および第 7 の配線と、  
 を含む、SOI 回路。

【請求項 10】 ESD 保護を有する SOI 集積回路の製造方法であって、  
 半導体層および該半導体層の下に配置された表面下絶縁体層を設けるステップであって、前記半導体層が該半導体層の内部に画定されかつ分離領域により分離された少なくとも 2 つの ESD 活性領域および複数の MOS トランジスタ活性領域を有し、前記 ESD 活性領域の一方が ESD・N ウェルであり、前記 ESD 活性領域の他方が ESD・P ウェルであり、前記トランジスタ活性領域がトランジスタ N ウェルおよび P ウェルである、ステップと、  
 N ウェルの 2 つの部分に P 型不純物を導入して該 N ウェルの中間部により分離される第 1 および第 2 の P 型領域を画定するステップであって、該第 1 および第 2 の P 型領域が前記トランジスタ活性領域内のソース/ドレイン領域の形成に従って形成されかつチャネル領域によりそ

こから分離される、ステップと、

ESD・P ウェルの 2 つの部分に N 型不純物を導入して P ウェルの中間部により分離される第 1 および第 2 の N 型領域を画定するステップであって、該第 1 および第 2 の N 型領域が前記トランジスタ活性領域内のソース/ドレイン領域の形成に従って形成されかつチャネル領域によりそこから分離される、ステップと、

前記第 2 の P 型領域を ESD・P ウェルに、前記第 2 の N 型領域を ESD・N ウェルに、前記第 1 の P 型領域を前記 SOI 集積回路の被保護回路に、前記第 1 の N 型領域を第 1 の外部抵抗体の一端に、該第 1 の外部抵抗体の他端を前記 ESD・P ウェルに、前記第 1 の P 型領域を第 2 の外部抵抗体の一端に、該第 2 の外部抵抗体の他端を前記 ESD・N ウェルに、前記第 1 の N 型領域を前記 SOI 集積回路の放電領域に相互接続して、ESD イベントに関連する電流を信号線から前記 ESD・N ウェルおよび前記 ESD・P ウェルを介して前記 SOI 集積回路の前記放電領域へ放電する、ステップと、  
 を含む、SOI 集積回路の製造方法。

20 【請求項 11】 前記 ESD・N ウェルの中間部の上に第 1 のゲート電極を形成するステップであって、該第 1 のゲート電極が前記トランジスタ活性領域内のゲート電極の形成に従って形成される、ステップと、  
 前記 ESD・P ウェルの中間部の上に第 2 のゲート電極を形成するステップであって、該第 2 のゲート電極が前記トランジスタ活性領域内のゲート電極の形成に従って形成される、ステップと、  
 前記第 1 のゲート電極を前記 ESD・P ウェルの前記第 1 の P 型領域に接続するステップと、  
 30 前記第 2 のゲート電極を前記 ESD・N ウェルの前記第 1 の N 型領域に接続するステップと、  
 をさらに含む、請求項 10 記載の SOI 集積回路の製造方法。

【請求項 12】 SOI 集積回路内に作られかつ ESD の影響を受ける端子に接続される活性回路を保護する ESD 保護装置の製造方法であって、  
 第 1 の導電型の第 1 の領域を形成するステップと、  
 前記第 1 の導電型とは反対の第 2 の導電型の第 2 の領域を形成するステップと、  
 40 前記第 1 の領域と前記第 2 の領域との間に分離構造を形成して前記第 1 の領域を前記第 2 の領域から電氣的に分離するステップと、  
 前記第 1 の導電型のベースを有する第 1 のバイポーラトランジスタを前記第 1 の領域内に形成するステップと、  
 前記第 2 の導電型のベースを有する第 2 のバイポーラトランジスタを前記第 2 の領域内に形成するステップと、  
 前記第 1 の導電型の材料の第 1 のコンタクトを前記第 1 の領域内に形成して前記第 1 のトランジスタの前記ベースを前記第 1 の領域の外部に接続できるようにするステップと、  
 50

前記第2の導電型の第2のコンタクト領域を前記第2の領域内に形成して前記第2のバイポーラトランジスタの前記ベースを前記第2の領域の外部に接続できるようにするステップと、

前記第1および第2のバイポーラトランジスタをSCR構造内の外部抵抗体に相互接続する配線構造を前記第1および第2の領域の外部に形成するステップと、を含む、ESD保護装置の製造方法。

【請求項13】 前記第1のバイポーラトランジスタを形成するステップが、

ソースおよびドレイン領域が前記第2の導電型の材料で形成されかつそのチャネル領域が前記第1の導電型の材料で形成されたMOSトランジスタを前記第1の領域内に形成するステップであって、前記ソースおよびドレイン領域が、ベースを形成するチャネル領域を有する前記第1のバイポーラトランジスタのコレクタおよびエミッタを形成する、ステップを含む、

前記第2のバイポーラトランジスタを形成するステップが、

ソースおよびドレイン領域が前記第1の導電型の材料で形成されかつそのチャネル領域が前記第2の導電型の材料で形成されたMOSトランジスタを前記第2の領域内に形成するステップであって、前記ソースおよびドレイン領域が、前記第2のバイポーラトランジスタのコレクタおよびエミッタを含む、ステップを含む、請求項12記載のESD保護装置の製造方法。

【請求項14】 前記分離構造が前記第1および第2の領域を完全に分離する、請求項13記載のESD保護装置の製造方法。

【請求項15】 前記ソース/ドレイン領域が前記第1および第2の領域の各領域の表面から垂直下方に前記分離構造まで延在するように形成される、請求項14記載のESD保護装置の製造方法。

【請求項16】 前記第1および第2の領域の各領域内の前記ソース/ドレイン領域の少なくとも一つが、前記第1および第2の領域のそれぞれの全長を延在はせずに前記ソース/ドレイン領域間の領域と前記第1および第2のコンタクトのそれぞれとを導通できるように形成される、請求項15記載のESD保護装置の製造方法。

【請求項17】 ESD保護を有するSOI集積回路の製造方法であって、

半導体層および該半導体層の下に配置された表面下絶縁体層を設けるステップであって、前記半導体層が2つの活性領域を画定する分離領域を有し、前記2つの活性領域の一方がNウェルであり、前記2つの活性領域の他方がPウェルであり、前記Nウェルおよび前記Pウェルが前記分離領域の一部によって分離される、ステップと、前記Nウェルおよび前記Pウェル上にゲート酸化膜を形成するステップと、

前記Pウェルの中間部上に第1のゲート電極を形成する

ステップと、

前記Nウェルの中間部上に第2のゲート電極を形成するステップと、

前記Nウェルの2つの部分においてP型不純物でドレイン/ソース打込みを行って、前記Nウェルの中間部によって分離される第1および第2のP型領域を画定するステップと、

前記Pウェルの2つの部分においてN型ドーパントでドレイン/ソース打込みを行って、前記Pウェルの中間部によって分離される第1および第2のN型領域を画定するステップと、

ゲート電極から少し離れた前記Nウェルの前記第1および第2のP型領域部分に、および前記第1および第2のN型領域から間隔がとられた前記Pウェルの領域にP型ドーパントを導入して、 $P^+$ 領域を画定するステップと、

ゲート電極から少し離れた前記Pウェルの前記第1および第2のN型領域部分に、および前記第1および第2のP型領域から間隔がとられた前記Nウェルの領域へN型ドーパントを導入して、 $N^+$ 領域を画定するステップと、

前記第1のゲート電極を前記Pウェルの前記第1のP型領域と相互接続するステップと、

前記第2のゲート電極を前記Nウェルの前記第1のN型領域と相互接続するステップと、

前記第1のP型領域を第1の外部抵抗体の一方側に、該第1の外部抵抗体の他方側を前記Nウェルに相互接続するステップと、

第1のN型抵抗体を第2の抵抗体の一方側に、第2の抵抗体の他方側を前記Pウェルに相互接続するステップと、

前記第2のP型領域を前記Pウェルに、前記第2のN型領域を前記Nウェルに、前記第1のP型領域を前記SOI集積回路の信号線回路に、前記第1のN型領域を前記SOI集積回路のグラウンド基準に電気的に接続する配線を形成して、ESDイベントを被保護回路から前記Nウェルおよび前記Pウェルを介して前記SOI集積回路の放電領域へ放電するステップと、

を含む、SOI集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般的に、電子回路の静電放電保護に関し、特に、SOI技術により作られる集積回路の静電放電保護を行う双安定擬似SCRスイッチに関する。

【0002】

【従来の技術】従来技術の静電放電(ESD)保護装置は、集積回路がESDイベントの高電圧によるダメージを受けるのを保護するために利用されている。シリコン制御整流器(SCR)回路が、集積回路をESDイベン

10

20

30

40

50



トから保護するための好ましいモードとして出現してきている。SCRは、ESDイベントに遭遇すると迅速に高インピーダンスブロッキングモードから低インピーダンス分路ラッチモードへ切り替えることができるデバイスである。SCRは集積回路の集積部として作られる。

#### 【0003】

【発明が解決しようとする課題】集積回路の最近の進展にはSOI (silicon-on-insulator) 技術のさらなる発展が含まれ、絶縁体層が基板内に埋め込まれて集積回路の活性領域の下に広がっている。集積回路内のESDイベントに対する好ましい保護装置であるSCRはSOI集積回路で使用するのに適さないため、問題が生じる。従来技術のSCRは、典型的に、2個のトランジスタ、PNPトランジスタおよびNPNトランジスタを含んでおり、それらはP型基板等の基板内に形成されている。基板は2個のトランジスタの共通領域を提供し、一方のトランジスタのベースと他方のトランジスタのコレクタとを提供している。従来技術のSCRは、典型的に、Nウェル等のウェルも含んでおり、それも2個のトランジスタの共通領域を提供し、一方のトランジスタのベースと他方のトランジスタのコレクタとを提供している。PNPおよびNPNトランジスタ間の共有領域のこのような配置により、従来技術のSCRは、SCRへトリガ電圧が加わる時の非導通ブロッキングモードから進んで、SCRに加わる電圧が保持電圧よりも降下するまで導通分路モードにラッチされる。埋込絶縁体層上の基板部分が比較的薄くて、フィールド酸化膜が基板の最上層を貫通して埋込絶縁体層まで伸びるため、従来技術のSCRはSOI回路内に容易に実現することができない。また、 $N^+$  および  $P^+$  領域は、典型的に、基板の最上層を貫通していて、別のドープ領域により分離されたドープ領域間に埋込抵抗体を形成できないようにされている。

#### 【0004】

【課題を解決するための手段】ここに開示し特許請求する本発明は、SOI集積回路の信号線をESDイベントからのダメージに対して保護する双安定擬似SCRスイッチである。双安定擬似SCRスイッチは、各トランジスタの活性部を提供する共通の共有半導体領域を有することなく絶縁体上に形成される2個の独立したトランジスタにより提供される。両方のトランジスタがSOI回路の絶縁酸化膜に重畳する上層基板内に形成され、2個のトランジスタは絶縁フィールド領域により互いに分離される。2個のトランジスタの活性部間を配線が伸びており、ESDイベントにより双安定SCRスイッチは高インピーダンスブロッキングモードから低インピーダンス分路ラッチモードとなるようにされている。第1および第2の抵抗体が2個のトランジスタ間に配線されていて、双安定擬似SCRスイッチのトリガおよび保持電圧を決定する。

【0005】本発明のもう1つの特徴として、2個のトランジスタはバイポーラトランジスタであり、一方はNPNトランジスタであり他方はPNPトランジスタであって、両方とも絶縁酸化膜上に形成されている。PNPトランジスタのエミッタは双安定擬似SCRスイッチのアノードを提供し、保護されるSOI回路の信号線に接続されている。第1の配線がPNPトランジスタのベースとNPNトランジスタのコレクタとの間に伸びている。第2の配線がPNPトランジスタのコレクタとNPNトランジスタのベースとの間に伸びている。NPNトランジスタのエミッタは擬似SCR双安定スイッチのカソードを提供し、グランド基準に接続されている。第1の抵抗体は、PNPトランジスタのエミッタに接続された一端およびNPNトランジスタのコレクタに接続された他端を有し、また、第2の抵抗体は、PNPトランジスタのコレクタに接続された第1の端およびNPNトランジスタのエミッタに接続された第2の端を有し、双安定擬似SCRスイッチのトリガ電圧および保持電圧を決定する。

#### 【0006】

【発明の実施の形態】図1を参照すると、従来技術の集積回路12のシリコン制御整流器(SCR)10の断面図が示されている。集積回路12は、好ましくはP基板である基板14により形成されている。Nウェル16が基板14内に配置されている。Nウェル16内には、 $P^+$  領域18および $N^+$  領域20が画定されている。 $P^+$  領域18および $N^+$  領域20はともに、保護される集積回路12の信号線26に接続されている。 $N^+$  領域22が、Nウェル16から間隔をとってP基板14内に配置されている。 $P^+$  領域24が、 $N^+$  領域22のNウェル16とは反対側にP基板14内に形成されている。 $P^+$  領域24はNウェル16から間隔をとられていて、それらの間のP基板14の部分が抵抗 $R_p$  を与えるようにされている。また、 $N^+$  領域20はP基板14とNウェル16との間の接合から間隔をとられていて、それらの間のNウェル16の部分が抵抗 $R_N$  を与えるようにされている。 $N^+$  領域22および $P^+$  領域24はともに、グランド基準に接続されたカソードノードCに接続されている。

【0007】次に、図2を参照すると、図1に示す集積回路12のSCRの回路図が示されている。SCR10はPNPトランジスタ28およびNPNトランジスタ30を含んでいる。トランジスタ28のエミッタは、信号線26のパッドに接続されたノードAに接続されている。トランジスタ28のベースはトランジスタ30のコレクタに接続されている。トランジスタ30のベースはトランジスタ28のコレクタに接続されている。トランジスタ30のエミッタは、“C”で示すSCRのカソードに接続されかつグランド基準電圧に接続されている。

抵抗 $R_N$  の抵抗体32の一端はトランジスタ30のコレ

クタおよびトランジスタ 2 8 のベースに接続されている。抵抗体 3 2 の他端はトランジスタ 2 8 のエミッタに接続されている。抵抗  $R_p$  の抵抗体 3 4 の一端はトランジスタ 2 8 のコレクタおよびトランジスタ 3 0 のベースに接続されている。抵抗体 3 4 の他端は、カソード C に接続されたトランジスタ 3 0 のエミッタに接続されている。抵抗体 3 2 の抵抗  $R_N$  および抵抗体 3 4 の抵抗  $R_p$  は、SCR のトリガ電圧および保持電圧を決定するように選択されている。

【0008】図 1 および図 2 に示すように、抵抗体 3 4 の抵抗  $R_p$  は、 $P^+$  領域 2 4 と  $N^+$  領域 2 2 との間の間隔と、それらの間を延在する P 基板 1 4 の部分内に配置されたドーパントのレベルおよびタイプとによって決まる。抵抗体 3 2 の抵抗  $R_N$  は、 $N^+$  領域 2 0 と  $P^+$  領域 1 8 との間隔と、それらの間を延在する N ウェル 1 6 の領域内に配置されたドーパントのレベルおよびタイプとによって決まる。トランジスタ 2 8 は、 $P^+$  領域 1 8 により提供されるエミッタと、N ウェル 1 6 により提供されるベースと、P 基板 1 4 により提供されるコレクタとを含んでいる。トランジスタ 3 0 は、 $N^+$  領域 2 2 により提供されるエミッタと、P 基板 1 4 により提供されるベースと、N ウェル 1 6 により提供されるコレクタとを含んでいる。トランジスタ 2 8 とトランジスタ 3 0 とは、トランジスタ 2 8 のベースおよびトランジスタ 3 0 のコレクタを提供する第 1 の共通半導体領域 (N ウェル 1 6) を共有している。トランジスタ 2 8 とトランジスタ 3 0 とは、トランジスタ 2 8 のコレクタおよびトランジスタ 3 0 のベースを提供する第 2 の共通半導体領域 (P 基板 1 4) を共有している。

【0009】次に、図 3 を参照すると、本発明の好ましい実施例を表す双安定擬 SCR スイッチの断面斜視図が示されている。これは、一般的に、集積回路 4 0 と呼ばれる。説明の都合上、上部配線層は図示されておらず、それについては後述する。P 型基板 4 1 が設けられ、その中に絶縁層 4 6 が形成されている。この絶縁層 4 6 は SOI 技術に従って形成される打込層である。それにより、酸化膜 4 6 に重畳する非酸化基板の上層が生じる。この上層基板は、その中に活性回路が形成される層であり、また、基板のこの上層は、0.01~1.0 ミクロン厚である。

【0010】2 つの活性領域 (活性領域 4 3 および活性領域 4 5) が内部に画定されている。これらの活性領域は、まず基板の上層をマスクオフし、P 型不純物を打ち込んで領域 4 3 を形成し、次に、打ち込まれた N 型領域 4 3 をマスクオフし、N 型不純物を打ち込んで N 型領域 (領域 4 5) を形成することにより、画定される。もちろん、これらは、プロセスのこの時点において、隣接領域である。その後、フィールド酸化膜領域 6 0 が形成されて、活性領域 4 3, 4 5 が分離される。これは、従来のプロセスである LOCOS 分離プロセスまたはトレン

チ分離プロセスを利用する従来のフィールド酸化膜技術により行われる。

【0011】活性領域 4 3, 4 5 が画定されると、プロセスの次のステップはその中にトランジスタを形成することである。一般的には、N チャネルトランジスタが P 型領域 4 3 内に形成され、P チャネルトランジスタが N 型領域 4 5 内に形成される。基板上的複数の P 型領域 4 3 と複数の N 型領域 4 5 とがあることをお判り願いたい。もちろん、これらは、全体集積回路に関連する他の論理回路を作り出すのに利用される。

【0012】本発明の SCR では、ゲート電極 4 9 により分離された 2 つの  $N^+$  領域 4 8, 5 0 が、P 型領域 4 3 内に形成されている。このゲート電極 4 9 は、後述するように、ダミーゲート電極であり、従来のトランジスタ技術に関連するソース/ドレイン・プロセスにより  $N^+$  領域 4 8, 5 0 が形成されるようにされている。同様に、P チャネルトランジスタ 4 4 が N 型領域 4 5 内に形成されている。その結果、ゲート電極 5 7 が配置されるチャネル領域により分離された  $P^+$  領域 5 4 および  $P^+$  領域 5 6 が内部に形成され、このゲート電極 5 7 はダミーゲート電極である。したがって、P チャネルトランジスタ 4 4 が N 型領域 4 5 内に形成され、N チャネルトランジスタ 4 2 が P 型領域 4 3 内に形成される。

【0013】領域 4 3, 4 5 内にそれぞれ形成されるトランジスタ 4 2, 4 4 の他に、 $P^+$  コンタクト領域 5 2 が P 型領域 4 3 内に形成され、 $N^+$  コンタクト領域 5 8 が N 型領域 4 5 内に形成される。また、 $N^+$  領域 4 8, 5 0 は P 型領域 4 3 の全長に沿って延在しておらず、同様に、 $P^+$  領域 5 4, 5 6 は N 型領域 4 5 の全長に沿って延在していないことをお判り願いたい。後述するように、これらは、むしろ、各領域 4 3, 4 5 内にバイポーラトランジスタを形成する目的で利用される。この構造により、N 型領域 4 8, 5 0 および P 型領域 5 4, 5 6 の対応する領域間を延在する各チャネル領域へ  $P^+$  コンタクト領域 5 2 および  $N^+$  コンタクト領域 5 8 を接続する、P 型領域 4 3 の接続部 5 1, 5 3 および N 型領域 4 5 の接続部 5 5, 5 9 が得られる。好ましくは、P 型領域 4 3 の接続部 5 1, 5 3 はソース/ドレイン・ $N^+$  領域 4 8, 5 0 の両側を延在し、 $N^+$  領域 4 8, 5 0 の長さはそれらの間を延在して部分 5 1, 5 3 の間隔をとっている。同様に、好ましくは、N 型領域 4 5 の接続部 5 5, 5 9 はソース/ドレイン・ $P^+$  領域 5 4, 5 6 の両側を延在し、部分 5 5, 5 9 も  $P^+$  領域 5 4, 5 6 の長さによって間隔をとられている。さらに、ゲート電極 4 9, 5 7 はダミー電極であり、フィールド分離領域 6 0 を越えて延在する必要はない。

【0014】次に、図 4 を参照すると、図 3 の断面 4-4 に沿ったより詳細な断面図が示されている。 $N^+$  領域 4 8, 5 0 は酸化膜 4 6 まで下方へ延在しているのがお判りであろう。もちろん、処理する前に、酸化膜 4 6

は、基板内へ酸素を打ち込み次に基板をアニールして基板 41 の一部が酸素により酸化されて膜 46 を形成するように作動する、SIMOX プロセス等の従来のプロセスにより、形成されている。しかしながら、トランジスタ 42, 44 が形成される基板上層の厚さは 0.01 ~ 1.0 ミクロン程度であることをお判り願いたい。このようにして、N<sup>+</sup>領域 48, 50 および P<sup>+</sup>領域 54, 56 が形成されるとき、それらは、典型的に、基板 41 の上層を下向きに貫通して酸化膜 46 にコンタクトする。したがって、N<sup>+</sup>領域 48, 50 および P<sup>+</sup>領域 54, 56 が各領域 43, 45 の全長を延在すると、N<sup>+</sup>領域 48, 50 および P<sup>+</sup>領域 54, 56 の各領域と P 領域 43 および N 領域 45 の対応する領域の残りとの間を延在するチャンネルの下の P 型および N 型ダミーチャンネル領域間は連絡されない。そのため、本発明の擬似 SCR 双安定スイッチを形成するためには、N<sup>+</sup>領域 48, 50 および P<sup>+</sup>領域 54, 56 は関連する領域 43, 45 の全長に沿って延在しないことが重要である。さらに、P<sup>+</sup>領域 52 および N<sup>+</sup>領域 58 は下方へ延在して酸化膜 46 にコンタクトすることをお判り願いたい。

【0015】引き続き処理ステップにおいて、上位配線層が形成される。この層は、最初に内部酸化膜にビアを形成し、次にその上に金属層を堆積して、金属層をパターニングすることにより、従来の方法で形成することができる。配線の観点から、カソード“C”が形成され、N<sup>+</sup>領域 48 およびゲート電極 49 と相互接続される。N<sup>+</sup>領域 50 は、配線 64 により、N 型領域 45 内に形成された N<sup>+</sup>領域 58 に接続される。P<sup>+</sup>領域 54 と P 型領域 43 内に形成された P<sup>+</sup>領域 52 とは、配線 62 により互いに接続される。トランジスタ 44 のゲート電極 57 は P<sup>+</sup>領域 56 に接続され、これはパッド 65 に接続された擬似 SCR 双安定スイッチのアノードを構成している。

【0016】次に、図 5 を参照すると、本発明の擬似 SCR 双安定スイッチの回路図が示されている。PNP トランジスタ 70 は、ノード 74 で示すアノード上のパッド 65 に接続されたエミッタと、ノード 76 に接続されたベースと、ノード 78 に接続されたコレクタとを有する。抵抗体 72 は、ノード 74 に接続された一端と、ノード 76 に接続された他端とを有する。NPN トランジスタ 82 は、ノード 76 に接続されたコレクタと、ノード 78 に接続されたベースと、ノード 80 で示すカソードに接続されたエミッタとを有する。カソードは接地され、アノードは、典型的には、パッド 65 で示す入力信号線に接続されている。抵抗体 75 は、ノード 78 に接続された一端と、ノード 80 に接続された他端とを有する。

【0017】PNP トランジスタ 70 は N 型領域 45 内に形成される。P<sup>+</sup>領域 56 はエミッタを含み、P<sup>+</sup>領域 54 はコレクタを含み、領域 45 の N 型材料はベース

を含み、ベースは、基本的には、トランジスタ 44 の“ダミーチャンネル”領域内に存在している。同様に、NPN トランジスタ 82 は P 型領域 43 内に形成され、そのエミッタは N<sup>+</sup>領域 48 により形成され、コレクタ領域は N<sup>+</sup>領域 50 により形成され、ベース領域は領域 43 の P 型材料内に形成されている。N<sup>+</sup>領域 48, 50 は、それらの間に配置されるダミーチャンネル領域を P 型領域 43 の残りから制限 (confine) しないように構成される。それは、そのベースを P<sup>+</sup>領域 52 とインターフェイスできるようにされる。酸化膜 46 に重畳する基板の上位部分が比較的薄くかつ N<sup>+</sup>領域 48, 50 がそこへ下向きに延在するため、領域 48, 50 の周りには導電経路がある必要がある。

【0018】従来技術とは異なり、抵抗体 72 および抵抗体 75 は好ましい実施例のトランジスタ 42, 44 の活性領域内には形成されない。抵抗体 72 は、N<sup>+</sup>領域 58 とゲート電極 57 の下層のダミーチャンネル領域内の PNP トランジスタ 70 のベースとの間の N 型領域 45 には形成されない。同様に、抵抗体 75 は、P<sup>+</sup>領域 52 とゲート電極 49 の下層のダミーチャンネル領域内の NPN トランジスタ 82 のベースとの間の P 型領域 43 には形成されない。むしろ、トランジスタ 42, 44 が形成される活性領域以外の活性領域のドーパされた部分に形成されることによるなどして、抵抗体 72, 75 はトランジスタ 42, 44 の外部に設けられる。抵抗体 72, 75 は、他の活性領域 66, 68 に拡散抵抗として形成されたり、ポリ層内にポリ抵抗体として形成されたりすることができ、配線層がそこへの配線を提供する。また、ゲート電極 49, 57 は必要とされず、したがって、ゲート電極 49, 57 は形成後に基板から除去することもお判り願いたい。しかしながら、N<sup>+</sup>領域 48, 50 および P<sup>+</sup>領域 54, 56 を形成するために、ゲート電極 49, 57 はマスキングステップとして必要であり、これは従来のトランジスタ形成プロセスである。

【0019】次に、図 6 を参照すると、本発明の双安定擬似 SCR トランジスタを形成する基板の断面図が示されている。基板は、上述したように、参照符号 92 で示す P 型基板である。上述した SIMOX 方法等の打込方法により、酸化膜 94 がその内部に形成される。それより、酸化膜 94 上に上層シリコン層が生じる。その後、やはり上述したように、打込技術と連係してマスキング技術を利用して、P ウェル領域 102 および N ウェル領域 100 を形成する。トレンチ分離技術もしくは LOC OS フィールド酸化膜技術を利用して絶縁酸化膜領域 98 により領域 100, 102 が絶縁され、この領域 98 は下方へ酸化膜 94 まで延在してその一部となることをお判り願いたい。その後、ポリシリコン層がコンフォーマル層として基板上に堆積されパターン化されて、領域 102 内にゲート電極 108 が形成され、領域 100 内

にゲート電極109が形成される。ポリシリコンのコン  
フォーマル層を形成する前に、ゲート酸化膜106が堆  
積されて、ゲート電極108、109は基板から分離さ  
れる。

【0020】ゲート電極108、109の形成後、Nウ  
エル領域100がマスクオフされて、Pウェル領域内で  
LDD打込みが実行される。このとき、ゲート電極10  
8はマスクを提供する。次のステップは、図7に示すよ  
うに、P領域102をマスクオフしてN領域100への  
LDD打込みを実行することである。それにより、領域  
102内に形成されたトランジスタ内にLDD領域11  
2が形成され、領域100内に形成されたトランジスタ  
内にLDD領域116が形成される。

【0021】プロセスの次のステップにおいて、図8に  
示すように、サイドウォール酸化膜118が、従来のプ  
ロセスにより、ゲート電極108、109の垂直壁上に  
形成される。サイドウォール酸化膜118により、後の  
ソース/ドレイン打込みをそこから間隔をとって行うの  
に利用されるスペーサが提供される。サイドウォール酸  
化膜スペーサ118が形成されると、N領域100がマ  
スクオフされ、ゲート電極108のいずれかの側で基板  
内へのN型不純物の打込みが実行されて、N<sup>+</sup>ソース/  
ドレイン領域122が形成される。ソース/ドレイン領  
域122がP型領域102内に形成されると同時に、  
N<sup>+</sup>領域123がN型領域100内に形成される。その  
後、図9に示すように、領域102がマスクオフされ、  
領域100への打込みが行われて、P<sup>+</sup>領域126がゲ  
ート電極109のいずれかの側に形成される。また、P  
+ ソース/ドレイン領域126が領域100内に形成さ  
れるのと同時に、P<sup>+</sup>領域128がN型領域102内に  
形成される。

【0022】図6から図9に関して上述したマスキング  
ステップは、トランジスタのソース/ドレイン領域を含  
みその間を延在して形成されるトランジスタの幅部分に  
沿っては、従来のステップである。例えば、領域100  
はマスキング操作において露出されてP型領域102内  
にN<sup>+</sup> ソース/ドレイン領域118を形成することがで  
き、ゲート電極108はその下に自己整合技術によりチ  
ャネル領域を画定する。しかしながら、これらのマスキ  
ングステップは、形成されるトランジスタの長さに沿  
っては、およびソース/ドレイン領域の少なくとも一方の  
側を延在して基板領域のトランジスタが形成される領域  
の接続部を提供するトランジスタの幅部分に沿っては、  
従来のステップではない。例えば、形成されるトランジ  
スタの長さに沿ったマスキングとの違いに関して、図3  
に示すように、P型領域43の接続部51、53はトラ  
ンジスタ42のN<sup>+</sup> 領域48、50の長さの両側に配置  
され、N<sup>+</sup> 領域48、50の打込みが行われる前に部分  
51、53をマスクオフして得られる。形成されるトラ  
ンジスタの幅に関して、図6から図9に示すマスキング

ステップは、図8に示すように、N<sup>+</sup> 領域122の打込  
みが行われている時に、領域102のP<sup>+</sup> 領域128が  
形成される部分がマスクオフされる点と、図9に示すよ  
うに、P<sup>+</sup> 領域126が形成されている時に、領域10  
0のN<sup>+</sup> 領域123が形成される部分がマスクオフされ  
る点とで、従来のマスキング技術とは異なっている。

【0023】さらに、領域102の一部もマスクオフさ  
れて、P<sup>+</sup> 領域128と最隣接ソース/ドレイン領域1  
22との間に配置されるP型領域102の分離部分を後  
に形成するためのP型領域が得られる。また、その長さ  
に沿って、ソース/ドレイン領域122およびLDD領  
域112は、トランジスタの長さに沿ったフィールド酸  
化膜98境界間を延在することからマスキングにより防  
止される。それにより、ダミーチャネル領域はそれらが  
形成される領域の残りとは連絡されるという上述した利点  
が得られる。さらに、NPNおよびPNPトランジスタ  
が従来のMOS型トランジスタと同じプロセスで形成さ  
れるという利点も得られる。従来のSCRと本発明による  
擬似SCR双安定スイッチの一つの相違点は、NPN  
およびPNPトランジスタを独立し分離された活性領域  
内に形成しなければならないため、擬似SCR装置全体  
を形成するための配線層を必要とすることである。この  
理由により、それは真のSCRではない。

【0024】要約すれば、SOI技術を利用して形成さ  
れる擬似SCR双安定スイッチが提供される。この技術  
では、NPNトランジスタおよびPNPトランジスタは  
フィールド酸化膜領域および上層埋込み酸化膜により互  
いに分離される独立した活性領域内に形成される。それ  
は、別の活性領域内に形成することができる所要の抵抗  
と2個のNPNおよびPNPトランジスタを相互接続す  
るための上部配線層を必要とする。

【0025】好ましい実施例について詳細に説明してき  
たが、特許請求の範囲に明記された発明の精神および範  
囲を逸脱することなくさまざまな変更、置換および修正  
が可能であることがお判りであろう。

#### 【図面の簡単な説明】

【図1】集積回路内に含まれる従来技術のSCRの断面  
図。

【図2】図1に示す従来技術のSCRの回路図。

【図3】本発明に従って製造される双安定擬似SCRス  
イッチの断面斜視図。

【図4】図3の集積回路の双安定擬似SCRスイッチの  
4-4線に沿った断面図。

【図5】図3および図4に示す双安定擬似SCRスイ  
ッチの回路図。

【図6】Nチャネルトランジスタの形成およびLDD打  
込み中の半導体基板の断面図。

【図7】Pチャネルトランジスタの形成およびLDD打  
込み中の半導体基板の断面図。

【図8】Nチャネルトランジスタ内へのソース/ドレイ

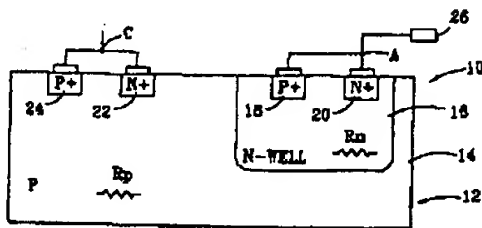
ン領域の形成中の半導体基板の断面図。

【図9】 Pチャネルトランジスタ内へのソース／ドレイン領域の形成中の半導体基板の断面図。

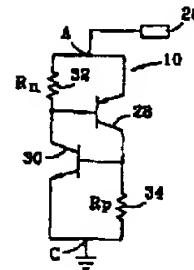
【符号の説明】

- |                                    |                    |
|------------------------------------|--------------------|
| 40 集積回路                            | 62, 64 配線          |
| 41, 92 P型基板                        | 65 パッド             |
| 43, 45 活性領域                        | 74, 76, 78, 80 ノード |
| 46, 94 酸化膜                         | 70 PNPトランジスタ       |
| 48, 50, 123 N <sup>+</sup> 領域      | 75 抵抗体             |
| 49, 57 ゲート電極                       | 82 NPNトランジスタ       |
| 51, 53, 55, 59 接続部                 | 98 分離酸化膜領域         |
| 52 P <sup>+</sup> コンタクト領域          | 100 Nウェル領域         |
| 54, 56, 126, 128 P <sup>+</sup> 領域 | 102 Pウェル領域         |
| 58 N <sup>+</sup> コンタクト領域          | 106 ゲート酸化膜         |
| 60 フィールド酸化膜領域                      | 108, 109 ゲート電極     |
|                                    | 112, 116 LDD領域     |
|                                    | 118 サイドウォール酸化膜     |
|                                    | 122 ソース／ドレイン領域     |

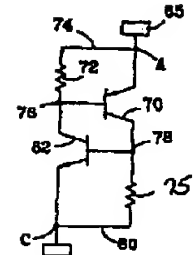
【図1】



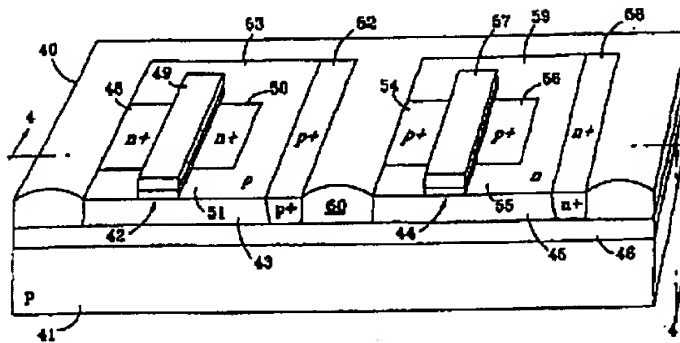
【図2】



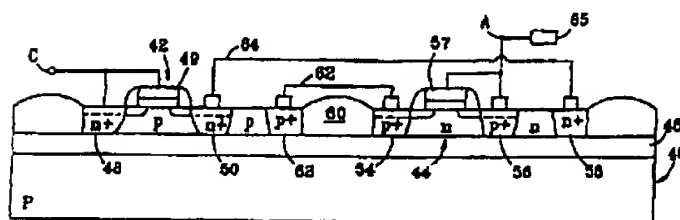
【図5】



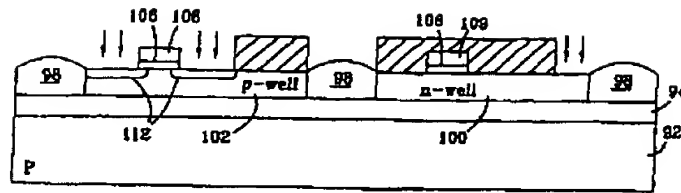
【図3】



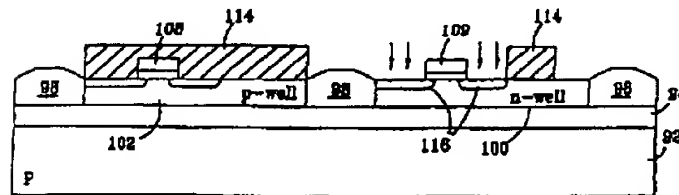
【図4】



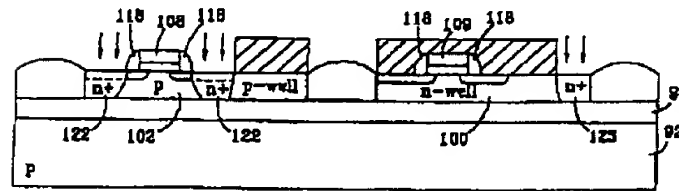
【図 6】



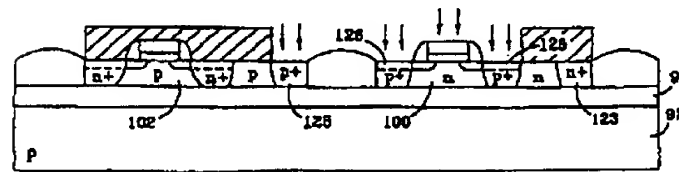
【図 7】



【図 8】



【図 9】



フロントページの続き

(51) Int. Cl. <sup>6</sup>

H01L 27/12  
29/786

識別記号

F I

【外国語明細書】

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

A BISTABLE SCR-LIKE SWITCH FOR ESD PROTECTION OF SILICON-  
ON-INSULATOR INTEGRATED CIRCUITS

TECHNICAL FIELD OF THE INVENTION

The present invention relates in general to electrostatic discharge protection for electronic circuits, and in particular to a bistable SCR-like switch for providing electrostatic discharge protection for integrated circuits fabricated with SOI technology.

5

## BACKGROUND OF THE INVENTION

Prior art electrostatic discharge (ESD) protection devices have been utilized for protecting integrated circuits from being damaged by the high voltage of ESD events. Silicon controlled rectifier (SCR) circuits have emerged as the preferred mode of protecting integrated circuits from ESD events. An SCR is a device which can quickly switch from a high impedance blocking mode to a low impedance shunting latch mode when ESD events are encountered. SCRs are fabricated as an integral part of the integrated circuits.

Recent advances in integrated circuits have included the further development of silicon-on-insulator (SOI) technology, in which an insulator layer is embedded within a substrate and extends beneath the active regions of an integrated circuit. A problem arises since SCRs, the preferred device for protecting against ESD events in integrated circuits, are not suitable for use in SOI integrated circuits. Prior art SCRs typically included two transistors, a PNP transistor and an NPN transistor, which were formed into a substrate, such as a P-type of substrate. The substrate provided a common region of the two transistors, providing the base of one transistor and the collector of the other transistor. Prior art SCRs also typically included a well, such as an N-well, which also provided a common region of the two transistors, providing the base of one transistor and the collector of the other transistor. This arrangement of shared regions between the PNP and NPN transistors caused prior art SCRs to go from a nonconductive, blocking mode when a trigger voltage was applied to the SCRs, to latch in a conductive, shunting mode until the voltage applied thereto fell beneath a holding voltage. Prior art SCRs can not readily be realized in SOI circuits since the portion of the substrate above the embedded insulator layer is relatively thin



such that field oxide insulators extend through the top layer of substrate to the embedded insulator layer. Also, N+ and P+ regions typically extend through the top layer of substrate such that embedded resistors cannot be formed between doped regions separated by another doped region.

**SUMMARY OF THE INVENTION**

The present invention disclosed and claimed herein describes a bistable SCR-like switch for protecting a signal line of an SOI integrated circuit against damage from ESD events. The bistable SCR-like switch is provided by two separate transistors which are formed upon an insulator without having a common, shared semiconductor region that provides an active portion for each of the transistors. Both of the transistors are formed in an upper layer substrate overlying an insulating oxide layer of the SOI circuit, with the two transistors separated from one another by an insulating field region. Interconnections extend between active portions of the two transistors, such that an ESD event will cause the bistable SCR switch to go from a high impedance blocking mode to a low impedance shunting latch mode. First and second resistors are interconnected between the two transistors to determine trigger and holding voltages for the bistable SCR-like switch.

In another aspect of the present invention, the two transistors are bipolar transistors, with one being an NPN transistor and the other being a PNP transistor, both of which are formed upon the oxide insulating layer. The emitter of the PNP transistor provides an anode for the bistable SCR-like switch and is connected to a signal line of the SOI circuit being protected. A first interconnect extends between the base of the PNP transistor and the collector of the NPN transistor. A second interconnect extends between the collector of the PNP transistor and the base of the NPN transistor. The emitter of the NPN transistor provides a cathode for the SCR-like bistable switch and is connected to a ground reference. A first resistor has one end connected to the emitter of the PNP transistor and the other end connected to the collector of the NPN transistor, and the second resistor has a first end connected to

the collector of the PNP transistor and a second end connected to the emitter of the NPN transistor to determine the trigger voltage and the holding voltage for the bistable SCR-like switch.

## BRIEF DESCRIPTION OF THE DRAWINGS

For a more complete understanding of the present invention and the advantages thereof, reference is now made to the following description taken in conjunction with the accompanying Drawings in which:

5           FIGURE 1 illustrates a cross-sectional view of a prior art SCR included in an integrated circuit;

          FIGURE 2 illustrates a schematic diagram of the prior art SCR depicted in FIGURE 1;

10           FIGURE 3 illustrates a sectioned perspective view of a bistable SCR-like switch fabricated according to the present invention;

          FIGURE 4 illustrates a cross-sectional view of the bistable SCR-like switch of the integrated circuit of FIGURE 3, taken along section line 4-4;

          FIGURE 5 illustrates a schematic diagram of the bistable SCR-like switch depicted in FIGURES 3 and 4;

15           FIGURE 6 illustrates a cross-sectional view of a semiconductor substrate during formation of the N-channel transistor, LDD implant;

          FIGURE 7 illustrates a cross-sectional view of the semiconductor substrate during formation of the P-channel transistor, LDD implant;

20           FIGURE 8 illustrates a cross-sectional view of the semiconductor substrate during formation of the source/drain regions in the N-channel transistors; and

          FIGURE 9 illustrates a sectional view of the semiconductor substrate during formation of the source/drain regions in the P-channel transistors.

**DETAILED DESCRIPTION OF THE INVENTION**

Referring now to FIGURE 1, there is illustrated a cross-sectional view a silicon controlled rectifier (SCR) 10 of a prior art integrated circuit 12. Integrated circuit 12 is formed with a substrate 14, which is preferably a P-substrate. An N-well 16 is disposed within the substrate 14. A P+ region 18 and an N+ region 20 are defined within the N-well 16. The P+ region 18 and the N+ region 20 are both connected to a signal line 26 of the integrated circuit 12 which is being protected. An N+ region 22 is disposed in the P-substrate 14, spaced apart from the N-well 16. A P+ region 24 is formed within the P-substrate 14, on an opposite side of the N+ region 22 from the N-well 16. The P+ region 24 is spaced apart from the N-well 16 such that the portion of the P-substrate 14 therebetween will provide a resistance  $R_p$ . Also, the N+ region 20 is spaced apart from the junction between the P-substrate 14 and the N-well 16 such that the portion of the N-well 16 disposed therebetween provides a resistance  $R_n$ . The N+ region 22 and the P+ region 24 are both connected to a cathode node C, which is connected to a ground reference.

Referring now to FIGURE 2, there is illustrated a schematic diagram of the SCR of the integrated circuit 12 depicted in FIGURE 1. The SCR 10 is comprised of a PNP transistor 28 and an NPN transistor 30. The emitter of the transistor 28 is connected to the anode A, which is connected to a pad of the signal line 26. The base of the transistor 28 is connected to the collector of the transistor 30. The base of the transistor 30 is connected to the collector of the transistor 28. The emitter of the transistor 30 is connected to the cathode of the SCR, which cathode is labeled "C", and is connected to a ground reference voltage. One end of a resistor 32 of resistance  $R_n$  is connected to the collector of the transistor 30 and the base of the transistor 28.

The other end of the resistor 32 is connected to the emitter of the transistor 28. One end of a resistor 34 of resistance  $R_p$  is connected to the collector of the transistor 28 and the base of the transistor 30. The other end of the resistor 34 is connected to the emitter of the transistor 30, which is connected to cathode C. The resistance  $R_N$  of resistor 32 and the resistance  $R_p$  of resistor 34 are selected to determine the trigger voltage and the holding voltage of the SCR.

As illustrated in FIGURES 1 and 2, the resistance  $R_p$  of the resistor 34 is determined by the spacing between the P+ region 24 and the N+ region 22, and the level and type of dopants disposed in the portion of the P-substrate 14 extending therebetween. The resistance  $R_N$  of the resistor 32 is determined by the spacing between the N+ region 20 and the P+ region 18, and the level and type of dopants disposed in the region of N-well 16 extending therebetween. The transistor 28 comprises an emitter provided by the P+ region 18, a base provided by the N-well region 16, and a collector provided by the P-substrate 14. The transistor 30 comprises an emitter provided by the N+ region 22, a base provided by the P-substrate 14, and a collector provided by the N-well 16. The transistor 28 and the transistor 30 share a first common semiconductor region, the N-well 16, which provides the base for the transistor 28 and the collector for the transistor 30. The transistors 28 and 30 share a second common semiconductor region, the P-substrate 14, which provides the collector of the transistor 28 and the base of the transistor 30.

Referring now to FIGURE 3, there is illustrated a perspective sectioned view of a bistable SCR-like switch representing the preferred embodiment of the present invention. This is generally referred to as an integrated circuit 40. For illustrative purposes, the upper interconnect layer is not illustrated, this being illustrated

hereinbelow. A P-type substrate 41 is provided which has formed therein an insulating layer 46. The insulating layer 46 is an implanted layer formed according to silicon-on-insulator (SOI) technology techniques. This results in an upper layer of unoxidized substrate overlying the oxide layer 46. This upper layer substrate is the layer in which the active circuits are formed, this upper layer of substrate being between 0.01- 1.0 microns thick.

There are two active regions defined therein, an active region 43 and an active region 45. These active regions are defined by first masking off the upper layer of substrate and implanting P-type impurities to form the region 43 and then masking off the implanted N-type regions 43 and implanting N-type impurities to form N-type regions, the region 45. These, of course, at this point in the process are adjacent regions. Thereafter, field oxide regions 60 are formed to separate the active regions 43 and 45. This is achieved with conventional field oxide techniques utilizing either a LOCOS isolation process or a trench isolation process, both of these being conventional processes.

Once the active regions 43 and 45 are defined, the next step of the process will be to form transistors therein. In general, N-channel transistors are formed in the P-type region 43 and P-channel transistors in the N-type region 45. It should be understood that there are a plurality of P-type regions 43 on the substrate and a plurality of N-type regions 45. These, of course, are utilized to fabricate the other logic circuitry associated with the overall integrated circuit.

For the SCR of the present invention, there are formed in the P-type region 43 two N+ regions 48 and 50 separated by a gate electrode 49. This gate electrode 49,

as will be described hereinbelow, is a dummy gate electrode, provided such that the N+ regions 48 and 50 are formed with the source/drain process associated with conventional transistor technology. In a similar manner, a P-channel transistor 44 is formed in the N-type region 45. This results in a P+ region 54 and a P+ region 56 formed therein separated by a channel region over which a gate electrode 57 is disposed, this gate electrode 57 being a dummy gate electrode. This therefore results in a P-channel transistor 44 being formed in the N-type region 45 and an N-channel transistor 42 formed in the P-type region 43.

In addition to the transistors 42 and 44 formed in the regions 43 and 45, respectively, a P+ contact region 52 is formed within the P-type region 43 and an N+ contact region 58 is formed in the N-type region 45. Also, it is noted that the N+ regions 48 and 50 do not extend along the entire length of the P-type region 43 and, similarly, the P+ regions 54 and 56 do not extend along the entire length of the N-type region 45. They are utilized, rather, for the purpose of forming bipolar transistors in each of the respective regions 43 and 45, as will be described in more detail hereinbelow. This structure results in connecting portions 51 and 53 of the P-type region 43, and connecting portions 55 and 59 of the N-type region 45 for connecting the P+ contact region 52 and the N+ contact region 58 to respective ones of the channel regions extending between corresponding ones of the N-type regions 48 and 50, and the P-type regions 54 and 56. Preferably, the connecting portions 51 and 53 of P-type region 43 extend on opposite sides of the Source/Drain N+ regions 48 and 50, with the lengths of the N+ regions 48 and 50 extending therebetween to space apart portions 51 and 53. Likewise, the connecting the portions 55 and 59 of N-type region 45 preferably extend on opposite sides of the Source/Drain P+ regions 54 and 56, with the portions 55 and 59 also being spaced apart by the lengths of P+



regions 54 and 56. Further, the gate electrodes 49 and 57 are dummy electrodes and do not need to extend up over the field isolation region 60.

Referring now to FIGURE 4, there is illustrated a more detailed cross-sectional view taken along section 4-4 of FIGURE 3. It can be seen that the N+ regions 48 and 50 extend down to the oxide layer 46. Prior to processing, of course, the oxide layer 46 was formed by a conventional process such as a SIMOX process, which is operable to implant oxygen into the substrate which is then annealed such that the oxygen will oxidize a portion of the substrate 41 and form the layer 46. However, it is noted that the thickness of the upper substrate layer in which the transistors 42 and 44 are formed is relatively thin, on the order of 0.01- 1.0 microns. As such, when the N+ regions 48 and 50 and the P+ regions 54 and 56 are formed, they typically will extend downward through the upper layer of the substrate 41 to contact the oxide layer 46. Therefore, if the N+ regions 48 and 50 and the P+ regions 54 and 56 extended the entire length of the respective regions 43 and 45, there would be no communication between the P type and the N type dummy channel regions underlying the channels extending between respective ones of the N+ regions 48 and 50 and the P+ regions 54 and 56, respectively, and the remainder of corresponding ones of the P region 43 and the N region 45. As such, it is important to note that for the purposes of forming the SCR-like bistable switch of the present invention, that the N+ regions 48 and 50 and the P+ regions 54 and 56 do not extend along the entire length of the associated regions 43 and 45. Additionally, it is noted that the P+ region 52 and the N+ region 58 extend downward to contact the oxide layer 46.

In subsequent processing steps, an upper level interconnect layer is formed. This layer can be formed in a conventional manner by first forming vias through a

layer of inner level oxide and then depositing a metal layer thereon and patterning the metal layer. From an interconnection standpoint, a cathode "C" is formed which is interconnected to the N+ region 48 and the gate electrode 49. The N+ region 50 is connected to the N+ region 58, which is formed in the N-type region 45, by an  
5 interconnect 64. The P+ region 54 and the P+ region 52, which is formed in the P-type region 43, are connected together by an interconnect 62. The gate electrode 57 of transistor 44 is connected to the P+ region 56, this constituting the anode of the SCR-like bistable switch, this anode being connected to a pad 65.

Referring now to FIGURE 5, there is illustrated a schematic diagram of the  
10 SCR-like bistable switch of the present invention. A PNP transistor 70 has the emitter thereof connected to the pad 65 on the anode, the anode represented by a node 74, the base thereof connected to a node 76 and the collector thereof connected to a node 78. A resistor 72 has one end connected the node 74 and the other end  
connected to the node 76. An NPN transistor 82 has the collector thereof connected  
15 to node 76, the base thereof connected to node 78 and the emitter thereof connected to the cathode, which is represented by a node 80, the cathode being connected to ground and the anode typically connected to input signal line, represented by pad 65. A resistor 75 has one end connected to the node 78 and the other end connected to the node 80.

20 The PNP transistor 70 is formed in the N-type region 45. The P+ region 56 comprises the emitter and the P+ region 54 comprises the collector, whereas the N-type material of the region 45 comprises the base, the base basically existing in the "dummy channel" region of the transistor 44. In a similar manner, the NPN transistor 82 is formed within the P-type region 43, wherein the emitter thereof is formed by the

N+ region 48, the collector region formed by the N+ region 50 and the base region being formed within the P-type material of the region 43. The N+ regions 48 and 50 must be configured such that they do not confine the dummy channel region disposed therebetween from the remainder of the P-type region 43. This is such that the base thereof can be interfaced with the P+ region 52. Since the upper level portion of the substrate overlying the oxide layer 46 is relatively thin and the N+ regions 48 and 50 extend downward thereto, it is necessary that there be a conductive path around the regions 48 and 50.

Unlike the prior art, the resistor 72 and the resistor 75 are not formed in active regions of the transistors 42 and 44 of the preferred embodiment. The resistor 72 is not formed in the N-type region 45 between the N+ region 58 and the base of the PNP transistor 70 in the dummy channel region underlying the gate electrode 57. Similarly, the resistor 75 is not formed in the P-type region 43 between the P+ region 52 and the base of the NPN transistor 82 in the dummy channel region underlying the gate electrode 49. Rather, the resistors 72 and 75 are provided external to the transistors 42 and 44, such as by being formed in doped portions of active regions other than those active regions in which transistors 42 and 44 are formed. The resistors 72 and 75 can be formed in other active regions 66 and 68 as diffused resistors or in the poly layer as poly resistors, with the interconnect layer providing an interconnect thereto. It should be also be noted that the gate electrodes 49 and 57 are not required and, therefore, they could be removed from the substrate after formation thereof. However, in order to form the N+ regions 48 and 50 and the P+ regions 54 and 56, the gate electrodes 49 and 57 are required as a masking step, this being a conventional transistor formation process.

Referring now to FIGURE 6, there is illustrated a cross-sectional diagram of a substrate for forming the bistable SCR-like transistor of the present invention. The substrate, described above, is a P-type substrate which is referred to by reference number 92. An oxide layer 94 is formed therein with an implantation method, such as the SIMOX method described above. This will result in an overlying layer of silicon above the oxide layer 94. Thereafter, as also described hereinabove, masking techniques are utilized in conjunction with implantation techniques to form P-well regions 102 and N-well regions 100. Trench isolation techniques or LOCOS field oxide techniques are utilized to isolate the regions 100 and 102 with an isolation oxide region 98, noting that this region 98 extends downward to the oxide layer 94 and becomes a part thereof. Thereafter, a layer of polycrystalline silicon is deposited on the substrate as a conformal layer and then patterned to form a gate electrode 108 within region 102 and a gate electrode 109 within region 100. Prior to forming the conformal layer of polysilicon, a layer of gate oxide 106 is deposited, such that the resulting gate electrodes 108 and 109 are separated from the substrate thereby.

After formation of the gate electrodes 108 and 109, the N-well region 100 is masked off and an LDD implant performed within the P-well region, with the gate electrode 108 providing a mask. The next step is to mask off the P-region 102 and perform an LDD implant into the N-region 100, as illustrated in FIGURE 7. This results in the formation of LDD regions 112 in the transistor formed in region 102 and LDD regions 116 in the transistor formed in the region 100.

In the next step of the process, as illustrated in FIGURE 8, sidewall oxide layers 118 are formed on the vertical walls of the gate electrodes 108 and 109 with a conventional process. The sidewall oxide layers 118 provide spacers which are

15

utilized to space subsequent source/drain implants therefrom. Once the sidewall oxide spacers 118 are formed, the N-region 100 is masked off and an implant of N-type impurities performed into the substrate on either side of the gate electrode 108, forming N+ source/drain regions 122. Also, the N+ region 123 is formed in the N-type region 100 at the same time as the source/drain regions 122 are formed in the P-type region 102. Thereafter, as illustrated in FIGURE 9, the region 102 is masked off and implants made into the region 100 to form P+ regions 126 on either side of the gate electrode 109. Also, a P+ region 128 is formed in the N-type region 102 at the same time the P+ source/drain regions 126 are formed in the region 100.

10           It should be noted that the masking steps described above with reference to FIGURES 6-9, are conventional along the portion of the width of a transistor being formed which extends between and includes the Source/Drain regions of the transistor. For example, the region 100 is exposed in the masking operation to allow forming of the N+ Source/Drain regions 118 in the P-type region 102, with the gate electrode 108 defining the channel region therebelow in a self-aligned technique.

15           However, these masking steps are not conventional along the length of the transistor being formed, and the portion of the width of the transistor which extends on at least one side of the Source/Drain regions for providing connective portions of the regions of the substrate region in which the transistor is being formed. For example, with respect to differences in masking along the length of the transistor being formed, as depicted in FIGURE 3, the connecting portions 51 and 53 of P-type region 43 are disposed on opposite sides of the length of the N+ regions 48 and 50 of the transistor 42, and are provided by masking off portions 51 and 53 prior to N+ regions 48 and 50 being implanted. With respect to the width of the transistor being formed, the

20           masking steps illustrated in FIGURES 6-9 differ from conventional masking

25

techniques in that the portion of the region 102 in which the P+ region 128 is formed is masked off as the N+ regions 122 are being implanted, as depicted in FIGURE 8, and the portion of the region 100 in which the N+ region 123 is formed is masked off as the P+ regions 126 are being formed, as depicted in FIGURE 9.

5           Additionally, a portion of the region 102 is also masked off to provide a P-type region for later formation of the separating portion of the P-type region 102 disposed between the P+ region 128 and the most adjacent source/drain region 122. Also, along the length thereof, the masking prevents the source/drain regions 122 and the LDD regions 112 from extending between the field oxide 98 boundaries along the  
10           length of the transistor. This provides for the above-noted advantage of allowing the dummy channel regions to communicate with the remaining of the regions in which they are formed. Further, the advantage is that the NPN and PNP transistors are formed in the same process as conventional MOS type transistors. One difference  
15           between a conventional SCR and the SCR-like bistable switch of the present invention is that the NPN and PNP transistors must be formed in separate and isolated active regions and therefore require an interconnect layer to form the entire SCR-like device. For this reason, it is not a true SCR.

          In summary, there is provided an SCR-like bistable switch which is formed utilizing SOI technology. In this technology, an NPN transistor and a PNP transistor  
20           are formed in separate active regions which are isolated from each other by field oxide regions and the underlying embedded oxide layer. This requires an upper interconnect layer for interconnecting the two NPN and PNP transistors with the required resistances, which may be formed in other active regions.

Although the preferred embodiment has been described in detail, it should be understood that various changes, substitutions and alterations can be made therein without departing from the spirit and scope of the invention as defined by the appended claims.

PA-20490

18

**WHAT IS CLAIMED IS:**

1. An ESD protection device for protecting an active circuit fabricated in an SOI integrated circuit, which active circuit is connected to an ESD susceptible terminal, comprising:

a first region of a first conductivity type;

5 a second region of a second conductivity type opposite to said first conductivity type;

an isolation structure for electrically isolating said first and second regions;

10 a first bipolar transistor formed in said first region with a base of said first conductivity type;

a second bipolar transistor formed in said second region with a base of said second conductivity type;

15 a first contact of the first conductivity type material formed in said first region to allow the base of said first bipolar transistor to be connected external to said first region;

a second contact region of the second conductivity type formed in said second region to allow the base of said second bipolar transistor to be connected external to said second region; and

20 an interconnect structure external to said first and second regions for interconnecting said first and second bipolar transistors to external resistors in an SCR-like configuration.

2. The ESD protection device of Claim 1, wherein:

said first bipolar transistor is formed by forming an MOS transistor in



said first region with first source/drain regions formed of the second conductivity type material and the channel region thereof comprised of the first conductivity type material, which said first source/drain regions form the collector and the emitter of said first bipolar transistor with the channel region thereof forming the base thereof, and

said second bipolar transistor is formed by forming an MOS transistor in said second region with second source/drain regions formed of the first conductivity type material and the channel region thereof comprised of the second conductivity type material, wherein said second source/drain regions comprise the collector and the emitter of said second bipolar transistor.

3. The ESD protection device according to Claim 2, wherein said isolation structure completely isolates said first and second regions.

4. The ESD protection device according to Claim 3, wherein said first and second source/drain regions extend vertically downward from the surface of the respective one of said first and second regions to said isolation structure.

5. The ESD protection device according to Claim 4, wherein at least one of each of said first and second source/drain regions does not extend the entire length of the respective one of said first and second regions to allow conduction between the respective one of said first and second contacts and respective portions of said first and second regions defining said bases of respective ones of said first and second bipolar transistors which are disposed between respective ones of said first and second source/drain regions.

20

6. A bistable switch for ESD protection of an SOI integrated circuit having an insulator layer, comprising:

a first transistor having a first P-type region connected to an anode, a second P-type region, and an intermediate N-type region disposed between and adjoining said first and second P-type regions,

a second transistor which is separately disposed from said first transistor with an electrical isolation region therebetween, and having a first N-type region connected to a cathode, a second N-type region, and an intermediate P-type region disposed between and adjoining said first and second N-type regions;

wherein said intermediate P-type region is separately disposed and electrically isolated from said first and second P-type regions by said isolation region and the insulator layer of the SOI integrated circuit, and said intermediate N-type region is separately disposed and electrically isolated from said first and second N-type regions by said isolation region and the insulator layer of the SOI integrated circuit;

a first interconnection electrically connecting said anode to a protected circuit of said SOI integrated circuit;

a second interconnection electrically connecting said intermediate N-type region to said second N-type region;

a third interconnection electrically connecting said intermediate P-type region to said second P-type region;

a fourth interconnection electrically connecting said cathode to a region of the SOI integrated circuit for shunting ESD current passing through the bistable switch; and

an external interconnect structure for interconnecting said first and second transistors to external resistors in an SCR-like configuration.

7. The bistable switch according to Claim 6, wherein said first transistor is disposed within a P-well which is disposed upon an insulator of the SOI integrated circuit and said second transistor is disposed within an N-well disposed upon the insulator of the SOI integrated circuit.

8. The bistable switch according to Claim 6, wherein:  
said first transistor is disposed within an N-well which is disposed upon the insulator layer of the SOI integrated circuit and said second transistor is disposed within a P-well disposed upon the insulator layer of the SOI integrated circuit; and  
said N-well forms said intermediate N-type region and said P-well forms said intermediate P-type region, with said N-well and said P-well completely isolated by said isolation region and said insulator layer.

9. *An SOI circuit, comprising:*

*an insulator layer extending within the SOI circuit and having an insulator surface;*

*a P-well disposed upon said insulator surface;*

5 *a N-well disposed upon said insulator surface, spaced apart from said P-well;*

*an electrical isolation region extending between said P-well and said N-well, and downward to said insulator surface;*

10 *first and second N-type regions disposed within said P-well, with said first N-type region spaced apart from said second N-type region by an intermediate region of said P-well;*

*first and second P-type regions disposed within said N-well, with said first P-type region spaced apart from said second P-type region by an intermediate region of said P-well;*

15 *a first interconnection electrically connecting said first P-type region to a protected circuit of the SOI integrated circuit;*

*a second interconnection electrically connecting said second P-type region to said P-well;*

20 *a third interconnection electrically connecting said second N-type region to said N-well;*

25 *a fourth interconnection electrically connecting said first N-type region to a discharge region of the SOI integrated circuit for shunting current associated with an ESD event being applied to said protected circuit through said first and second P-type regions and said intermediate region of said N-well, and through said first and second N-type regions and said intermediate region of said P-well, to said discharge region of the SOI integrated circuit;*

fifth and sixth interconnections for connecting said first P-type region to one side of a first external resistive device, and said N-well to the other side of the first external resistive device; and

30 sixth and seventh interconnections for connecting said first N-type region to one side of a second external resistive device, and the other side of the second external resistive device to said P-well.

10. A method for fabricating an SOI integrated circuit having ESD protection, comprising the steps of:

providing a semiconductor layer and subsurface insulator layer disposed beneath the semiconductor layer, with the semiconductor layer having at least two ESD active regions and a plurality of MOS transistor active regions defined therein and separated by isolation regions, one of the ESD active regions being an ESD N-well and the other of the ESD active regions being an ESD P-well with the transistor active regions being transistor N-wells and P-wells;

introducing P-type impurities into two portions of the N-well to define first and second P-type regions which are separated by an intermediate portion of the N-well, wherein the first and second P-type regions are formed in accordance with the formation of source/drain regions in the transistor active regions and are separated therefrom by a channel region;

introducing N-type impurities into two sections of the ESD P-well to define first and second N-type regions which are separated by an intermediate portion of the P-well, wherein the first and second N-type regions are formed in accordance with the formation of source/drain regions in the transistor active regions and are separated therefrom by a channel region; and

interconnecting the second P-type region to the ESD P-well, the second N-type region to the ESD N-well, the first P-type region to a protected circuit of the SOI integrated circuit, the first N-type region to one side of a first external resistor, the other side thereof to the ESD P-well, the first P-type region to one side of a second external resistor, the other side thereof to the ESD N-well, and the first N-type region to a discharge region of the SOI integrated circuit for discharging current associated with ESD events from the signal line, through the ESD N-well and the ESD P-well to the discharge region of the SOI integrated circuit.

25

11. The method according to Claim 10, further comprising the steps of:
- forming a first gate electrode above the intermediate portion of the ESD N-well, the first gate electrode being formed in accordance with the formation of gate electrodes in the transistor active regions;
  - 5 forming a second gate electrode above the intermediate portion of the ESD P-well, the second gate electrode being formed in accordance with the formation of gate electrodes in the transistor active regions;
  - connecting the first gate electrode to the first P-type region of the ESD P-well; and
  - 10 connecting the second gate electrode to the first N-type region of the ESD N-well.

12. A method of fabricating an ESD protection device for protecting an active circuit fabricated in an SOI integrated circuit, which active circuit is connected to an ESD susceptible terminal, comprising the steps of:

forming a first region of a first conductivity type;

5 forming a second region of a second conductivity type opposite to the first conductivity type;

forming an isolation structure between the first and second regions for electrically isolating the first region from the second region;

10 forming a first bipolar transistor in the first region with a base of the first conductivity type;

forming a second bipolar transistor in the second region with a base of the second conductivity type;

15 forming a first contact of the first conductivity type material in the first region to allow the base of the first transistor to be connected external to the first region;

forming a second contact region of the second conductivity type in the second region to allow the base of the second bipolar transistor to be connected external to the second region; and

20 forming an interconnect structure external to the first and second regions for interconnecting the first and second bipolar transistors to external resistors in an SCR configuration.

13. The method according to Claim 12, wherein:

the step of forming the first bipolar transistor comprises forming an MOS transistor in the first region with source and drain regions formed of the second conductivity type material and the channel region thereof formed of the first



5 conductivity type material, which source and drain regions form the collector and emitter of the first bipolar transistor with the channel region thereof forming the base thereof, and

the step of forming the second bipolar transistor comprises forming an MOS transistor in the second region with source and drain regions formed of first  
10 conductivity type material and the channel region thereof formed of the second conductivity type material, wherein the source and drain regions comprise the collector and emitter of the second bipolar transistor.

14. The method according to Claim 13, wherein the isolation structure completely isolates the first and second regions.

15. The method according to Claim 14, wherein the source/drain regions are formed to extend vertically downward from the surface of the respective one of the first and second regions to the isolation structure.

16. The method according to Claim 15, wherein at least one of the source/drain regions in each of the first and second regions are formed such that they do not extend the entire length of the respective ones of the first and second regions to allow conduction between the region between the source/drain regions and the  
5 respective ones of the first and second contacts.

17. A method for fabricating a SOI integrated circuit having ESD protection, comprising the steps of:

providing a semiconductor layer and subsurface insulator layer disposed beneath the semiconductor layer, with the semiconductor layer having isolation regions which define two active regions, one being an N-well and the other being a P-well which are separated by a portion of the isolation regions;

forming a gate oxide above the N-well and the P-well;

forming a first gate electrode above the intermediate portion of the P-well;

forming a second gate electrode above the intermediate portion of the N-well;

performing a drain/source implant in two portions of the N-well with P-type impurities to define first and second P-type regions which are separated by an intermediate portion of the N-well;

performing a drain/source implant in two sections of the P-well with N-type dopants to define first and second N-type regions which are separated by an intermediate portion of the P-well;

introducing P-type dopants into the portions of the first and second P-type regions of the N-well which are aside of the gate electrodes, and in a region of the P-well which is spaced apart from the first and second N-type regions, to define P+ regions;

introducing N-type dopants into the portions of the first and second N-type regions of the P-well which are aside of the gate electrodes, and in a region of the N-well which is spaced apart from the first and second P-type regions, to define N+ regions;

interconnecting the first gate electrode to the first P-type region of the

P-well;

interconnecting the second gate electrode to the first N-type region of the N-well;

30 interconnecting the first P-type region to one side of a first external resistor, and the other side of the first external resistor to the N-well;

interconnecting the first N-type resistor to one side of a second resistor, and the other side of the second resistor to the P-well; and

35 forming interconnections to electrically connect the second P-type region to the P-well, the second N-type region to the N-well, the first P-type region to a signal line circuit of the SOI integrated circuit, and the first N-type region to a ground reference of the SOI integrated circuit for discharging ESD events from the protected circuit, through the N-well and the P-well to the discharge region of the SOI integrated circuit.

FIG. 1  
PRIOR ART

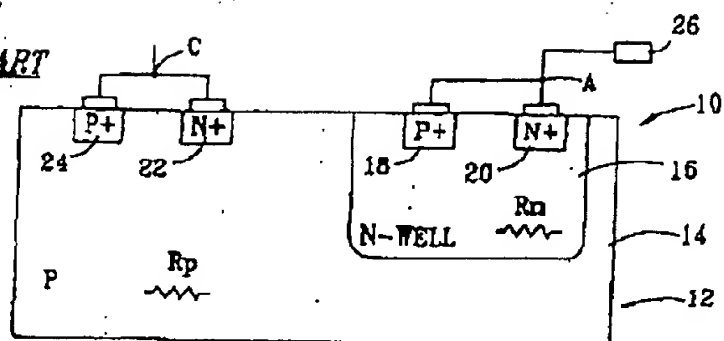


FIG. 2  
PRIOR ART

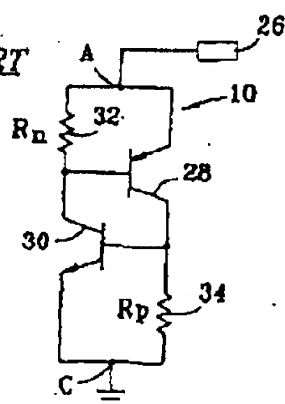


FIG. 3

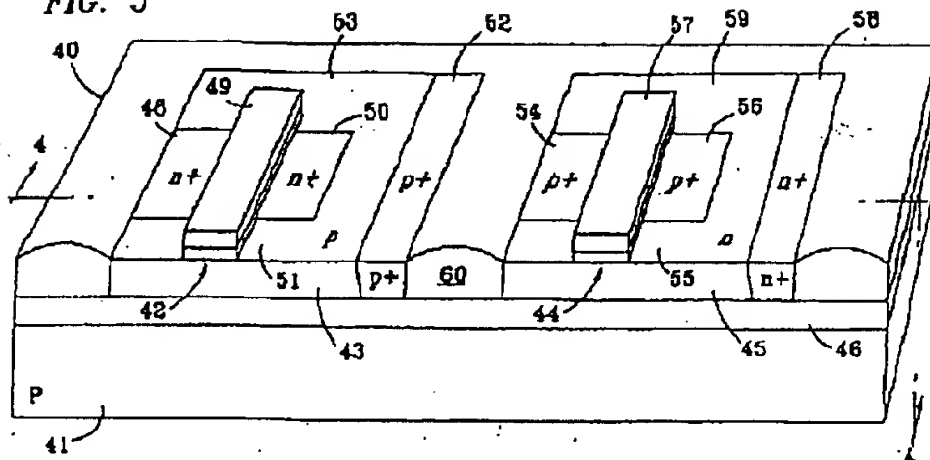


FIG. 4

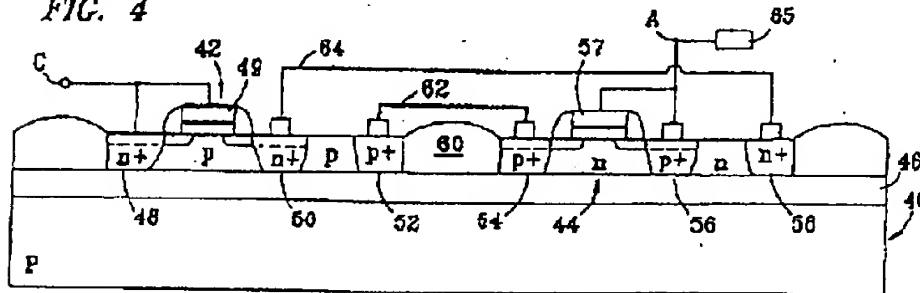


FIG. 5

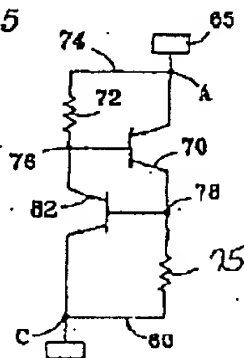


FIG. 6

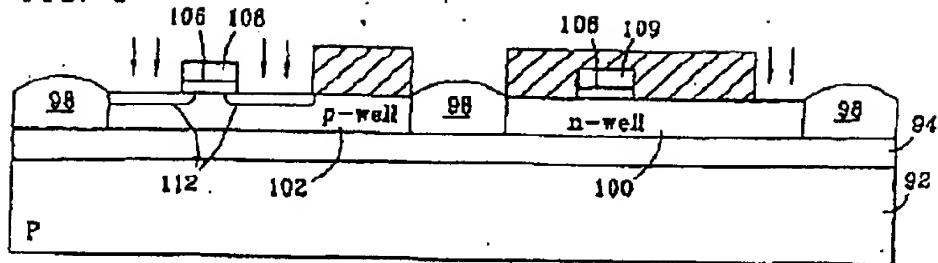


FIG. 7

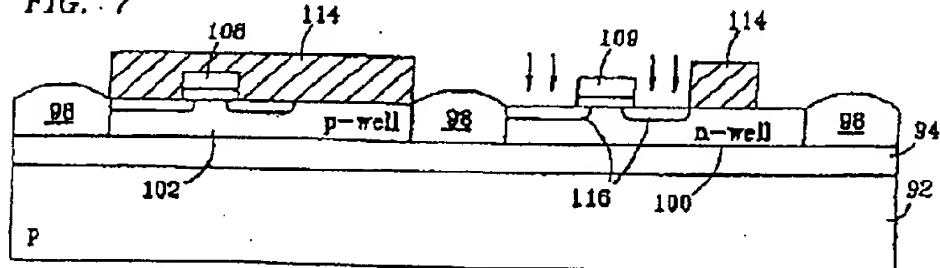


FIG. 8

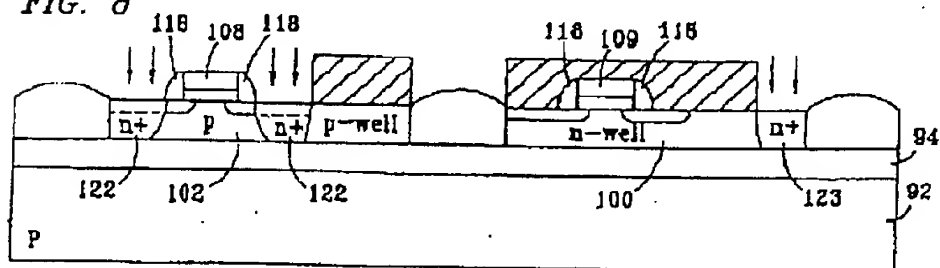
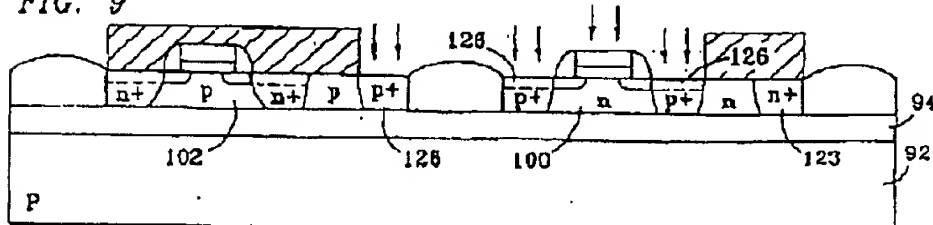


FIG. 9



## 1 Abstract

### A BISTABLE SCR-LIKE SWITCH FOR ESD PROTECTION OF SILICON- ON-INSULATOR INTEGRATED CIRCUITS

#### ABSTRACT OF THE DISCLOSURE

5           A bistable SCR-like switch (41) protects a signal line (65) of an SOI  
integrated circuit (40) against damage from ESD events. The bistable SCR-like  
switch (41) is provided by a first and a second transistors (42 and 44) which are  
formed upon the insulator layer (46) of the SOI circuit (40) and are separated from  
one another by an insulating region (60). Interconnections (62 and 64) extend  
10       between the two transistors (42 and 44) to connect a P region (62) of a first transistor  
(42) to a P region (54) of the second transistor (44) and an N region (50) of the first  
transistor (42) to an N region (58) of the second transistor (44). The transistors (42  
and 44) may be either bipolar transistors or enhancement type MOSFET transistors.  
For bipolar transistors, the base of an NPN transistor (42) is connected to the  
15       collector of a PNP transistor (44) and the base of the PNP transistor (44) is connected  
to the collector of the NPN transistor (42). MOSFET transistors are similarly  
connected, with the intermediate portion of the P-well (43) forming channel region of  
the N-channel transistor (42) connected to the drain of the P-channel transistor (44),  
and the N-well (45) forming the channel region of the P-channel transistor (44)  
20       connected to the drain of the N-channel transistor (42). Resistors (72 and 74) can be  
connected between the two transistors (42 and 44) to determine the trigger and  
holding voltages for the bistable SCR-like switch (41).

## 2 Representative Drawing

Fig. 4